



## Modulbeschreibung Blockwochenmodul:

<b>Modultitel</b>	Digital Design Lab
anbietender Studiengang	Informations und Elektrotechnik
Hochschulstandort	Fachhochschule Dortmund
Sprache	Deutsch
Modulbeauftragte/r hauptamtlich Lehrende	Prof. Dr.-Ing. Michael Karagounis Prof. Dr. Jens Rettkowski
Kontakt	<a href="mailto:michael.karagounis@fh-dortmund.de">michael.karagounis@fh-dortmund.de</a> <a href="mailto:jens.rettkowski@fh-dortmund.de">jens.rettkowski@fh-dortmund.de</a>

Abkürzung	Workload	Credits*	Semester (WiSe/SoSe)	geplante Gruppengröße	
				Minimum	Maximum
DDL	120	4	SoSe		15
	Kontaktzeit		Selbststudium		
	Präsenzzeit während der Blockwoche	Zusätzliche Kontaktzeit in der Vor- und Nachbereitungsphase z.B. Videokonferenzen	angeleitet in der Vor- und Nachbereitungsphase	selbstgesteuert	
	40			<b>80</b>	
Lehrveranstaltungen/ Lehrform Präsenzzeit	Praktikum				
Lehrformen Vorbereitungsphase	Einarbeitung in die Verilog oder VHDL Syntax an Hand von Schulungsunterlagen und Videos  Ab dem <b>04.04.2023</b> über den Ilias-Kurs (Link wird noch bekannt gegeben; Zugang auch für Studierende der Hochschule Bochum und der Westfälischen Hochschule möglich)				
Lehrformen Nachbereitungsphase	Dokumentation der Ergebnisse als kommentierter HDL Code				

\* Es besteht die Möglichkeit zusätzliche ECTS-Punkte durch Zusatzleistungen zu erwerben.

Ja,  
im Umfang  
von maximal  
ECTS

Nein

X





Lernergebnisse/Lernziele/Kompetenzen	
Die Studierenden erarbeiten sich durch die Durchführung acht aufeinander aufbauender Versuche selbständig einen Einblick in moderne Methoden des digitalen Schaltungsentwurfs. Tutorials erklären die Syntax grundlegender Konstrukte der Hardwarebeschreibungssprache VHDL oder Verilog und die Verwendung von industrieller Entwurfssoftware für die Implementierung von Schaltungen auf einem konfigurierbaren FPGA Logikbaustein.	
Inhalte	
-Hardwarebeschreibungssprache VHDL oder Verilog -Entwurfssoftware Vivado -Konfigurierbare Logikbausteine Xilinx	
Teilnahmevoraussetzungen	<b>keine</b>
Prüfungsformen	Erarbeitung einer Dokumentation (vgl. Nachbereitungsphase) und Mündliche Prüfung
Voraussetzungen für die Vergabe von Kreditpunkten	Modulprüfung muss bestanden sein.
Verwendung des Moduls (in anderen Studiengängen)	siehe hierzu Homepage der Ruhr Master School
Literatur	Reichardt, Schwarz, VHDL-Synthese, Oldenbourg  Kesel, Bartholomäa, Entwurf von digitalen Schaltungen und Systemen mit HDLs und FPGAs, Oldenbourg  Bernhard Hoppe, Verilog Modellbildung für Synthese und Verifikation, Oldenbourg
Anmerkungen	

